

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. Februar 2001 (08.02.2001)

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/09946 A1

(51) Internationale Patentklassifikation⁷: **H01L 21/8242**

(21) Internationales Aktenzeichen: PCT/DE99/02339

(22) Internationales Anmeldedatum:
29. Juli 1999 (29.07.1999)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Strasse 53, D-81541 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **HEINECK, Lars-Pe-
ter** [DE/FR]; 131, avenue Daumesnil, F-75012 Paris (FR).

JACOBS, Tobias [DE/FR]; 8, rue Parrot, F-75012 Paris
(FR). **WINNER, Josef** [DE/DE]; Stefan-George-Ring 47,
D-81929 München (DE).

(74) Anwalt: **ZIMMERMANN & PARTNER**; Postfach 33 09
20, D-80069 München (DE).

(81) Bestimmungsstaaten (national): JP, KR, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

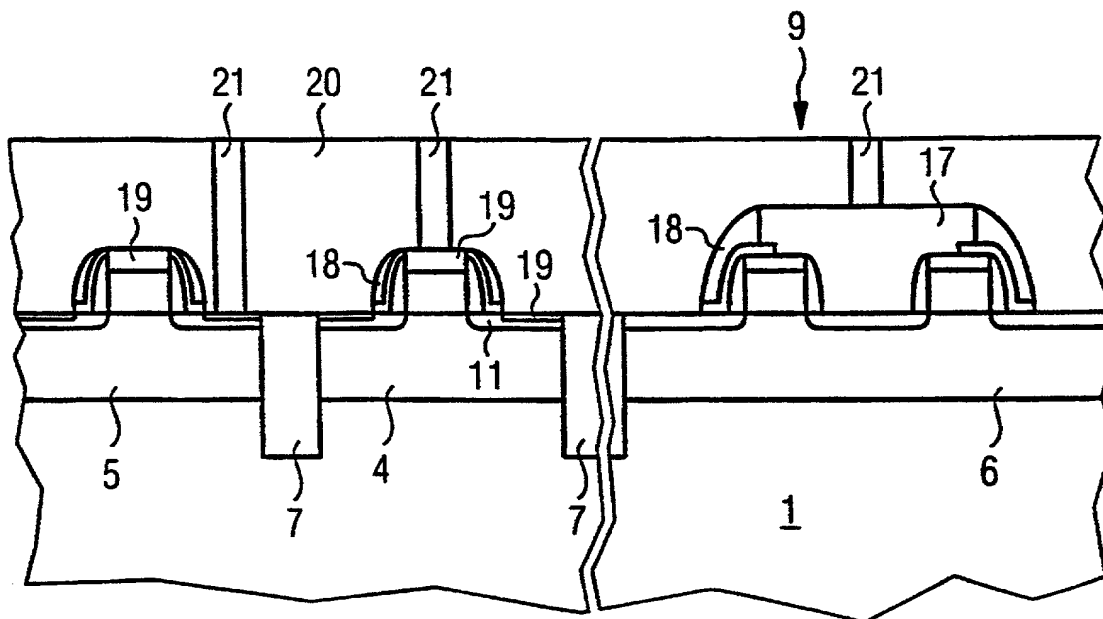
Veröffentlicht:

— Mit internationalem Recherchenbericht.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING INTEGRATED SEMICONDUCTOR COMPONENTS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG INTEGRIERTER HALBLEITERBAUELEMENTE



(57) Abstract: The inventive method has the advantage that the integration density, for example in the memory cell field (9), can be significantly increased. The invention is characterised in that the formation of the contacts (17) for the source/drain regions in the second area (9) of the semiconductor substrate takes place or is prepared at a time before all the spacers (12, 13, 18) have been created. This means that is no superfluous creation of spacers in the memory cell field, thus saving space on the surface of the chip. The space that has been saved can be used, for example, to arrange the gate tracks in the memory cell field in closer proximity to one another.

[Fortsetzung auf der nächsten Seite]

20010101 20010101

WO 01/09946 A1